

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(c) 2001 JPO & JAPIO. All rts. reserv.

SEMICONDUCTOR DEVICE

**PUBLISHED:** October 31, 1989 (19891031)

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)  
, JP (Japan)

FILED: April 25, 1988 (19880425)

**JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)**

**JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)**

JOURNAL: Section: E, Section No. 878, Vol. 14, No. 38, Pg. 126,  
January 24, 1990 (19900124)

**PURPOSE:** To form a semiconductor device onto a large-sized substrate at a low process temperature by shaping an n-type thin-film transistor using a silicon thin-film, to which an impurity is added, as a source region and a drain region and a p-type thin-film transistor employing a silicon thin-film as a source region and a drain region through a non-doped silicon thin-film on an insulating substrate.

CONSTITUTION: n-type silicon thin films 102 composed of silicon thin-films such as polycrystalline silicon, amorphous silicon, etc., to which an impurity as a donor is added, are formed onto an insulating substrate 101 such as glass, quartz, sapphire, etc. On the other hand, silicon thin-films 103 such as non-doped polycrystalline silicon, amorphous silicon, etc., are shaped onto the insulating substrate 101, and p-type silicon thin films 104 such as polycrystalline silicon, amorphous silicon, etc., which has the same shape and to which an impurity as an acceptor is added, are formed onto the silicon thin-films 103. A semiconductor layer 105 made up of a silicon thin-film such as polycrystalline silicon, amorphous silicon, etc., is shaped on a line tying both thin-films 102 in the width of the channel width  $W(\text{sub } 1)$  of an n-type transistor while being brought into contact on the upper sides of the two n-type silicon thin-films 102.

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

008096294      \*\*Image available\*\*

WPI Acc No: 1989-361406/198949

Thin-film CMOS transistor for active-matrix LCD - has donor-doped source  
and drain regions on undoped silicon thin film    NoAbstract Dwg 1/3

Patent Assignee: EPSON CORP (SHIH )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1272146	A	19891031	JP 88101762	A	19880425	198949 B

Priority Applications (No Type Date): JP 88101762 A 19880425

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 1272146	A	6		
------------	---	---	--	--

Title Terms: THIN; FILM; CMOS; TRANSISTOR; ACTIVE; MATRIX; LCD; DONOR;  
DOPE ; SOURCE; DRAIN; REGION; UNDOPED; SILICON; THIN; FILM; NOABSTRACT

Index Terms/Additional Words: COMPLEMENTARY; METAL; OXIDE; SEMICONDUCTOR;  
LIQUID; CRYSTAL; DISPLAY

Derwent Class: L03; U12; U13; U14

International Patent Class (Additional): H01L-027/08; H01L-029/78

File Segment: CPI; EPI

⑩ 日本国特許庁(JP)

訂正有り  
⑪ 特許出願公開

⑨ 公開特許公報(A) 平1-272146

⑫ Int. Cl.<sup>4</sup>

H 01 L 27/08  
27/12  
29/78

識別記号

3 2 1

3 1 1

庁内整理番号

B-7735-5F

A-7514-5F

S-8624-5F 審査請求 未請求 請求項の数 2 (全5頁)

⑬ 公開 平成1年(1989)10月31日

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-101762

⑯ 出 願 昭63(1988)4月25日

⑰ 発 明 者 中 澤 尊 史 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 上柳 雅 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 絶縁基板上に、ドナーとなる不純物を添加したシリコン薄膜をソース領域及びドレイン領域とするn型薄膜トランジスタと、該絶縁基板上に、アクセプタとなる不純物を添加したシリコン薄膜をノンドープシリコン薄膜を介してソース領域及びドレイン領域とするp型薄膜トランジスタを具備したことを特徴とする半導体装置。

(2) 絶縁基板上に、アクセプタとなる不純物を添加したシリコン薄膜をソース領域及びドレイン領域とするp型薄膜トランジスタと、該絶縁基板上にドナーとなる不純物を添加したシリコン薄膜をノンドープシリコン薄膜を介してソース領域及びドレイン領域とするn型薄膜トランジスタを具備したことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はアクティブマトリックス方式の液晶ディスプレイや、イメージセンサや3次元集積回路などに応用される薄膜トランジスタに関する。更に詳しくは薄膜トランジスタで形成される相補型MOS構造(CMOS構造)の薄膜トランジスタに関する。

(従来の技術)

従来のCMOS構造薄膜トランジスタは、例えば INTERNATIONAL DISPLAY RESEARCH CONFERENCE 1985 P9~13に示される様に、p型薄膜トランジスタを、ホウ素等のアクセプタとなるイオンをイオン注入法でソース及びドレイン領域にゲート電極をマスクとしてドーピングして形成していた。次にn型薄膜トランジスタをフォトリソ等を用いて選択的にリン等のドナーとなるイオンをイオン注入法でドーピングして形成していた。

(発明が解決しようとする課題)

しかし、従来の薄膜トランジスタは次のような

問題点を有していた。

イオン注入法を用いて、ソース及びドレイン領域を形成するため、高価なイオン注入装置の使用が不可欠であり、更に2回のイオン注入が必要であり装置の処理能力を小さなものにしていた。又液晶ディスプレイに適用する場合、基板の大型化は不可欠であるが、イオンビームの径を大型化するのが困難であり、一枚の基板を処理するのに多大な時間を要してしまい大型基板対応(30 $\mu$ m<sup>2</sup>程度)のイオン注入装置は実現されていなかった。さらに、イオン注入後にドーパントを活性化させるために基板を高温に保持する必要があり、使用する基板が限定されてしまった。

本発明は、このような問題点を解決するものであり、その目的とするところは、大型基板上に低いプロセス温度で形成可能なCMOS構造薄膜トランジスタを提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置は、絶縁基板上にドナーとなる不純物を添加したシリコン薄膜をソース領域

シリコン薄膜102がn型薄膜トランジスタのチャネル長の間隔し、を隔てて形成されている。一方絶縁基板101上にノンドープの多結晶シリコン、非晶質シリコン等のシリコン薄膜103がp型薄膜トランジスタのチャネル長し、の間隔を隔てて形成されており、シリコン薄膜103上に同じ形状でアクセプタとなる不純物を添加した多結晶シリコン、非晶質シリコン等のp型シリコン薄膜104が形成されている。2つのn型シリコン薄膜102の上側で接し、n型トランジスタのチャネル幅W、の幅で両者を結ぶ様に、多結晶シリコン、非晶質シリコン等のシリコン薄膜から成る半導体層105が形成されている。同様に2つのp型シリコン薄膜104の上側で接し、p型薄膜トランジスタのチャネル幅W、の幅で両者を結ぶ様に多結晶シリコン、非晶質シリコン等のシリコン薄膜から成る半導体層105が形成されている。また金属、透明導電膜等から成る入力電極106がSiO<sub>2</sub>、SiN、SiON等のゲート絶縁膜を介してn型薄膜トランジスタ及びp型薄膜トラ

及びドレイン領域とするn型薄膜トランジスタと、該絶縁基板上にアクセプタとなる不純物を添加したシリコン薄膜をノンドープシリコン薄膜を介してソース領域及びドレイン領域とするp型薄膜トランジスタを具備したことを特徴とする。

又、本発明の半導体装置は、絶縁基板上にアクセプタとなる不純物を添加したシリコン薄膜をソース領域及びドレイン領域とするp型薄膜トランジスタと、該絶縁基板上にドナーとなる不純物を添加したシリコン薄膜をノンドープシリコン薄膜を介してソース領域及びドレイン領域とするn型薄膜トランジスタを具備したことを特徴とする。

〔実施例〕

以下実施例に基づいて、本発明を詳しく説明する。第1図に本発明による薄膜トランジスタの1例を示す。(a)は上視図であり、(b)はA-A'における断面図。

ガラス、石英、サファイア等の絶縁基板101上にドナーとなる不純物を添加した多結晶シリコン非晶質シリコン等のシリコン薄膜から成るn型

ンジスタのn型シリコン薄膜102及びp型シリコン薄膜104と重なり、チャネル部の半導体層105を被覆する様に形成されており、n型薄膜トランジスタとp型薄膜トランジスタの入力電極106は接続されている。これと全体を覆う様にSiO<sub>2</sub>、SiON、SiON等の絶縁層107が形成されており、n型シリコン薄膜102及びp型シリコン薄膜103上に電気的にコンタクトをとるためにコンタクトホール110が設けられており、それらを金属、透明導電膜等の導電性材料で出力電極108、電源供給電極109が配線されており、CMOS構造を構成している。

第2図は製造工程を示す断面図である。

第2図(a)の工程

絶縁基板201に接してドナーとなる不純物を添加したn型シリコン薄膜202を減圧CVD法、プラズマCVD法、真空蒸着法等で形成する。その膜厚は500~5000Åが望ましい。

第2図(b)の工程

絶縁基板201全体を覆う様にノンドープのシ

リコン薄膜203と、アクセプタとなる不純物を添加したp型シリコン薄膜204を減圧CVD法、プラズマCVD法、真空蒸着法等で形成する。ノンドープのシリコン薄膜203と、p型シリコン薄膜204は同一の装置で連続して形成しても別々の装置で形成してもよい。このノンドープのシリコン薄膜は、p型シリコン薄膜204中のアクセプタとなる不純物がn型シリコン薄膜202中へ拡散するのを防ぐ。特に減圧CVD法等の高温でp型シリコン薄膜204を形成する場合有効となる。

#### 第2図(c)の工程

ノンドープのシリコン薄膜203と、p型シリコン薄膜204をフォトリソグラフィ法を用いて同時に島状に加工する。p型シリコン薄膜204及びノンドープシリコン薄膜203はエッチング法；エッチングガス等を変えることなく同時にエッチングが可能である。n型薄膜トランジスタのソース、ドレイン領域を形成するn型シリコン

薄膜202及びp型薄膜トランジスタのソース、ドレイン領域を形成するp型シリコン薄膜204は、2回の成膜工程と2回のフォトリソグラフィ工程により形成され、ドナーあるいはアクセプタとなる不純物が相互に影響することなく形成される。

#### 第2図(d)の工程

2つのn型シリコン薄膜202及び2つのp型シリコン薄膜204を結ぶ様に減圧CVD法、プラズマCVD法、真空蒸着法等により半導体層205を形成する。これら全体を覆う様にゲート絶縁膜207を減圧CVD法、プラズマCVD法、スパッタ法等により形成する。その膜厚は、1000～5000Åが望ましい。更にゲート絶縁膜207に接して入力電極206が、CVD法、スパッタ法等により形成する。

#### 第2図(e)の工程

これら全体を覆う様に絶縁膜211を減圧CVD法、プラズマCVD法、スパッタ法等により形成し、n型シリコン薄膜202及びp型シリコン

薄膜204上にコンタクトホール210を設け、出力電極208電源供給電極209を、CVD法、スパッタ法等により形成する。

以上の工程により、第1図に示した構造の半導体装置を得ることができた。

向ドナーとなる不純物を添加したn型シリコン薄膜202を最初に形成したが、アクセプタとなる不純物を添加したp型シリコン薄膜を最初に形成し、次にノンドープのシリコン薄膜、次にドナーとなる不純物を添加したn型シリコン薄膜を形成しても、構わない。

第3図(a)に本発明により形成したn型薄膜トランジスタの特性を、第3図(b)にp型薄膜トランジスタの特性を示す。これらより明らかな様に、大きなON電流、小さなOFF電流が同時に実現できており、ノンドープのシリコン薄膜203によりp型シリコン薄膜204中のアクセプタとなる不純物がn型シリコン薄膜202中へ拡散するのが妨げている。

#### 〔発明の効果〕

本発明は次のようなすぐれた効果を有する。

第1に同一絶縁基板上にイオン注入装置を使用することなく、n型薄膜トランジスタとp型薄膜トランジスタを同時に実現できる。

第2のn型薄膜トランジスタのソース、ドレイン領域のドナーとなる不純物とp型薄膜トランジスタのソース、ドレイン領域のアクセプタとなる不純物が相互に影響することなく形成できる。

第3に、量産性に富む、CVD法、スパッタ法、真空蒸着法のみで形成可能であり、しかも大型基板への対応も容易である。

第4に、n型薄膜トランジスタ及びp型薄膜トランジスタの特性は、それぞれの不純物が相互に影響を与えないため、大きなON電流、小さなOFF電流が同時に実現できる。

第5に、n型薄膜トランジスタ及びp型薄膜トランジスタのソース及びドレイン領域が、2回の成膜工程と2回のフォトリソグラフィ法という短い工程で形成できる。

第6に基板を高温に保持する工程がないため、

安価なガラス基板を基板として使用でき、低コスト化できる。

#### 4. 図面の簡単な説明

第1図(a)(b)は本発明による薄膜トランジスタの構造を示し、(a)は上視図、(b)は断面図である。

第2図(a)～(e)は本発明による薄膜トランジスタの製造工程を示す断面図である。

第3図(a)は本発明によるn型薄膜トランジスタの特性図、第3図(b)はp型薄膜トランジスタの特性図である。

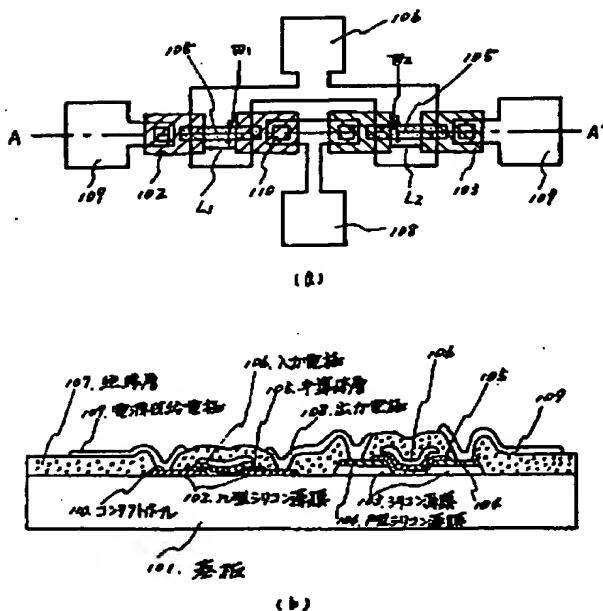
- 101、201・・・絶縁基板
- 102、202・・・n型シリコン薄膜
- 103、203・・・シリコン薄膜
- 104、204・・・p型シリコン薄膜
- 105、205・・・半導体層
- 106、206・・・入力電極
- 107、211・・・絶縁層

- 108、208・・・出力電極
- 109、209・・・電源供給電極
- 110、210・・・コンタクトホール
- 207・・・ゲート絶縁膜

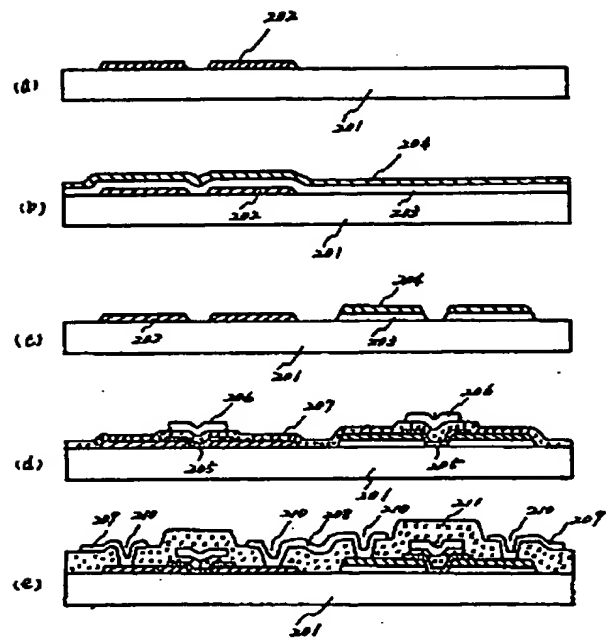
以上

出願人 セイコーエプソン株式会社

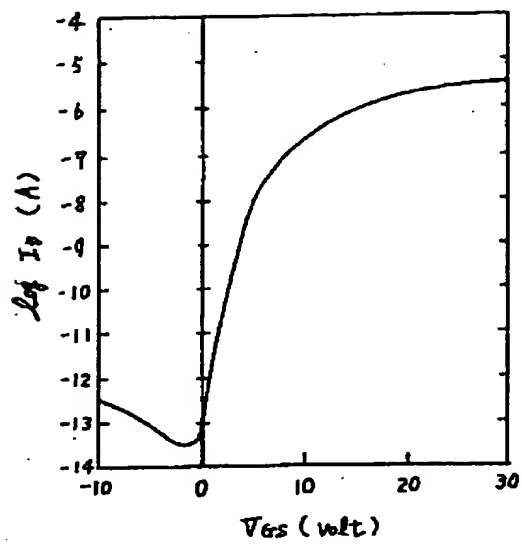
代理人 弁理士 上 柳 豊 彦(他1名)



第 1 図

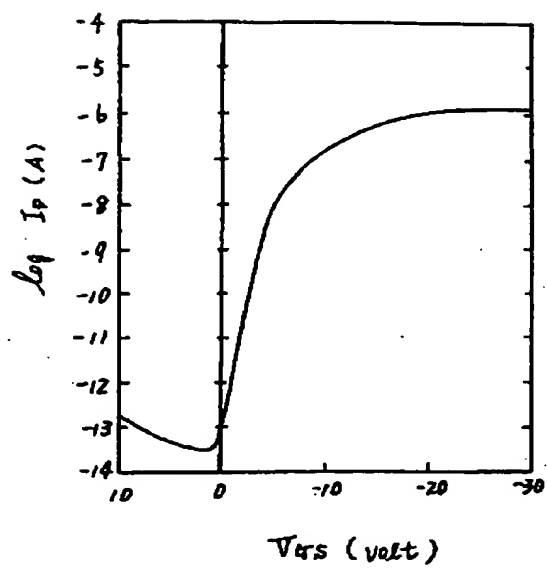


第 2 図



(a)

第 3 図



(b)

第 3 図